

Handwritten signature and date: 1999.11.19

jc825 U.S. PTO
09/751453
01/02/01



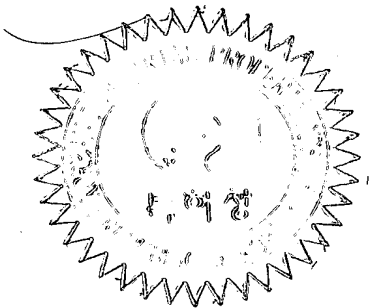
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원번호 : 특허출원 1999년 제 68094 호
Application Number

출원년월일 : 1999년 12월 31일
Date of Application

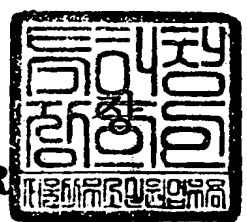
출원인 : 현대전자산업주식회사
Applicant(s) HYUNDAI Electronics Inc.



2000 년 10 월 17 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	1999. 12. 31
【발명의 명칭】	다층 TaON 박막을 갖는 커패시터 제조방법
【발명의 영문명칭】	Method of forming capacitor with multi-layered TaON dielectric layer
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	박대진
【대리인코드】	9-1998-000254-2
【포괄위임등록번호】	1999-000705-0
【대리인】	
【성명】	정은섭
【대리인코드】	9-1998-000507-0
【포괄위임등록번호】	1999-000703-5
【발명자】	
【성명의 국문표기】	이기정
【성명의 영문표기】	LEE, Kee Jeung
【주민등록번호】	651012-1026012
【우편번호】	138-190
【주소】	서울특별시 송파구 석촌동 270-2
【국적】	KR
【발명자】	
【성명의 국문표기】	김동준
【성명의 영문표기】	KIM, Dong Jun
【주민등록번호】	631026-1682915
【우편번호】	467-110
【주소】	경기도 이천시 증포동 94-3 신한아파트 104-402
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

박대진 (인) 대리인

정은섭 (인)

【수수료】

【기본출원료】	19	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	16	항	621,000	원
【합계】	650,000			원

【요약서】**【요약】**

본 발명은 다층 TaON박막을 갖는 커패시터 제조방법에 관한 것으로서, 특히 이 방법은 반도체 기판의 하부 구조물에 하부전극을 형성하고, 하부전극 표면에 비정질 TaON 막의 증착과 어닐링공정을 적어도 1회 이상 반복 실시하여 다층의 고유전박막을 형성한 후에, 다층의 고유전박막 상부에 상부전극을 형성한다. 이에 따라, 본 발명은 적어도 1 번 이상의 TaON 증착 및 NH_3 또는 N_2O 분위기에서의 어닐링공정을 반복해서 고유전 TaON 박막($\epsilon=30\sim100$)을 형성하므로써, 비정질 TaON 증착과정에서 생성된 탄소화합물의 불순물 또는 물과 막내에 존재하는 산소 공공을 제거하면서 결정화를 유도하기 때문에 양질의 TaON 유전막을 얻을 수 있다.

【대표도】

도 1d

【명세서】

【발명의 명칭】

다층 TaON박막을 갖는 커패시터 제조방법{Method of forming capacitor with multi-layered TaON dielectric layer}

【도면의 간단한 설명】

도 1a 내지 도 1d는 본 발명의 일실시예에 따른 다층 TaON박막을 갖는 반도체장치의 커패시터 제조방법을 설명하기 위한 공정 순서도,

도 2는 본 발명에 따른 2층 TaON박막을 갖는 커패시터 제조 방법에서 TaON 증착한 다음 실시되는 어닐링 공정에 의해 TaON막내에 잔존하는 산소 공공과 탄소화합물이 제거 되는 것을 과정을 나타낸 도면.

도면의 주요 부분에 대한 부호의 설명

10: 실리콘기판 20: 층간절연막

30: 하부전극 32a: 비정질 제 1TaON박막

32b: 비정질 제 2TaON박막 32 TaON 유전막

34: 상부전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체장치의 커패시터 제조방법에 관한 것으로서, 특히 반도체 DRAM에 사용되는 커패시터 제조 공정시 다층 TaON박막을 갖도록 하여 TaON박막내에 잔존하는 불순물을 제거함과 동시에 막질의 전기적 특성을 개선시킨 기술이다.

<9> 현재 반도체소자의 고집적화를 달성하기 위하여 셀 면적의 감소 및 동작 전압의 저전압화에 관한 연구/개발이 활발하게 진행되고 있다. 더구나, 반도체소자의 고집적화가 이루어질수록 커패시터의 면적이 급격하게 감소되지만, 기억소자의 동작에 필요한 전하 즉, 단위 면적에 확보되는 커패시턴스는 증가되어야만 한다.

<10> 이에, 반도체메모리에 사용되는 커패시터의 충분한 용량을 확보하기 위해서는 통상의 실린더 구조 변경을 통해 커패시터 면적을 증가하거나 유전막의 두께 감소를 통해 충분한 커패시턴스를 확보시키는 방법이 이루어지고 있으며, 기존 실리콘 산화막으로 사용하던 유전막을 NO(Nitride - Oxide) 또는 ONO(Oxide - Nitride - Oxide)구조라든지 높은 커패시턴스를 확보할 수 있는 Ta₂O₅(유전상수=20~25) 내지 BST(BaSrTiO₃) 등으로 대체하려는 재료적인 연구가 진행되고 있다.

<11> 한편, 최근에는 NO유전을 갖는 커패시터가 256M 이상의 차세대 메모리에 필요한 용량을 확보하는데 한계를 보이고 있기 때문에 Ta₂O₅ 유전 개발이 연구 진행중에 있다. 하지만, 이 Ta₂O₅ 박막 역시 불안정한 화학양론비(stoichiometry)를 갖고 있어 Ta와 O의 조성비 차이에 기인한 치환형 Ta원자가 박막내에 존재할 수밖에 없으며 또한, 유전막 제

조 공정시 Ta_2O_5 의 전구체인 $Ta(OC_2H_5)_5$ 의 유기물과 O_2 (또는 N_2O)가스의 반응으로 인해 불순물인 탄소원자와 탄소화합물(C, CH_4 , C_2H_4 등) 및 물(H_2O)이 생성된다. 결국, Ta_2O_5 박막내에 존재하는 산소공공(oxygen vacancy)과 불순물로 존재하는 탄소원자, 이온과 라디칼로 인해서 커패시터의 누설전류가 증가하게 되고 유전특성이 열화된다. 이러한 Ta_2O_5 박막내의 불순물을 제거하기 위하여 저온 열처리(예를 들면, plasma N_2O 또는 $UV-O_3$)를 이중, 삼중으로 처리하고 있지만 이 역시 제조 과정이 복잡하며 Ta_2O_5 박막의 산화 저항성이 낮기 때문에 하부전극의 산화가 발생하게 되는 단점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명의 목적은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 유전막으로서 유전율이 높으면서 Ta_2O_5 박막보다 우수한 전기적 특성을 갖는 TaON으로 대체하고 비정질 TaON 증착 및 어닐링 공정을 1회 이상 실시하여 TaON 막내에서 누설전류의 원인이 되는 불순물을 제거함으로써 양질의 고유전막을 얻을 수 있는 다층 TaON박막을 갖는 커패시터 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<13> 상기 목적을 달성하기 위하여 본 발명은 반도체장치의 커패시터 제조 공정에 있어서, 반도체 기판의 하부 구조물에 하부전극을 형성하는 단계와, 하부전극 표면에 비정질 TaON막의 증착과 어닐링공정을 적어도 1회 이상 반복 실시하여 다층의 고유전박막을 형성하는 단계와, 다층의 고유전박막 상부에 상부전극을 형성하는 단계를 포함한다.

- <14> 본 발명에 따르면, TaON의 유전박막은 유전상수가 25이상의 고유전율을 가지며 화학적 결합구조도 Ta₂O₅ 박막보다 안정하여 하부전극과의 산화반응성도 작아서 NO 유전 및 Ta₂O₅를 갖는 커패시터보다 등가 산화막 두께(Tox)를 더 낮출 수 있을 뿐만 아니라 외부로부터 인가되는 전기적 충격에도 강할 뿐만 아니라 절연파괴전압인 항복전압이 높고 누설전류 수준도 낮다.
- <15> 그 뿐만 아니라, 본 발명은 비정질의 TaON을 증착한 기판에 인시튜로 NH₃ 또는 N₂O 분위기에서 어닐링을 실시하기 때문에 비정질 TaON 증착과정에서 생성된 탄소화합물의 불순물 또는 물과 막내에 존재하는 산소 공공을 제거하면서 결정화를 유도하기 때문에 양질의 유전막을 얻을 수 있다.
- <16> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세하게 설명하고자 한다.
- <17> 도 1a 내지 도 1d는 본 발명의 일실시예에 따른 다층 TaON박막을 갖는 반도체장치의 커패시터 제조방법을 설명하기 위한 공정 순서도이다.
- <18> 우선, 도 1a에 도시된 바와 같이, 반도체기판으로서 실리콘기판(10)의 활성 영역 상부면에 게이트 전극, 소스/드레인 등을 갖는 반도체소자(도시하지 않음)를 형성하고, 그 기판(10) 전면에 USG(Undoped Silicate Glass), BPSG(Boro Phospho Silicate Glass) 및 SiON 중에서 선택한 물질을 증착하고 화학적기계적연마(Chemical Mechanical Polishing) 공정을 실시하여 평탄화된 층간절연막(20)을 형성한다. 기판(10)의 활성영역 즉, 드레인 영역과 접촉하는 커패시터의 단면적을 확보하기 위하여 사진 및 식각 공

정으로 층간절연막(20)을 선택 식각하여 콘택홀(도시하지 않음)을 형성한다.

<19> 그리고, 상기 콘택홀내에 도전체로로서 도프트 폴리 실리콘 내지 도프트 비정질 실리콘을 증착하여 하부전극(30)을 형성한다. 이때, 커패시터의 하부전극 구조는 스택, 실린더, 편, 스택실린더 중에서 어느 하나로 하는데, 본 실시예에서는 스택 구조의 하부전극을 형성한다. 한편, 하부전극의 단위 표면적을 늘려서 커패시턴스를 증가시키기 위하여 하부전극의 표면을 요철 구조의 HSG(Hemi Spherical Grain)로 형성할 수도 있다.

<20> 그 다음, 도 1b 및 도 1c를 참조해서 하부전극 표면에 비정질 TaON막의 증착과 어닐링공정을 적어도 1회 이상 반복 실시하여 다층의 고유전박막(32)을 형성한다. 이에, 본 실시예에서는 150Å 미만의 2층 고유전박막(32a, 32b)(32)을 형성한다. 그리고, 바람직하게 TaON증착 공정은 기상반응(gas phase reaction)이 억제된 웨이퍼 상에 표면 화학반응(surface chemical reaction)을 유도하여 300℃~600℃의 저압화학기상증착 챔버에서 양질의 비정질 TaON박막을 형성한다.

<21> 즉, 도 1b에 도시된 바와 같이, 1차로 비정질 제 1TaON막(32a)을 300~500℃ 범위에서 증착하고 NH₃ 또는 N₂O 분위기에서 플라즈마 어닐링 공정을 실시한다. 그리고, 도 1c에 도시된 바와 같이, 연속해서 비정질 제 2TaON막(32b)을 증착하고 NH₃ 또는 N₂O 분위기에서 플라즈마 어닐링을 다시 실시해준다. 이러한 증착과 어닐링 공정을 1회이상 반복하므로써 비정질 TaON막내에 존재하는 Ta원자 및 탄소성분을 효과적으로 산화시켜 제거하면서 원하는 범위, 예컨대 30~100의 유전율을 얻을 수 있다.

<22> 한편, 상기 다층 고유전박막(32)의 비정질 TaON 증착 공정은 Ta성분의 화학증기로서 99.999%이상의 Ta(OC₂H₅)₅와 같은 Ta화합물을 질량 유량제어기(Mass Flow Controller)를 통해서 150~200℃의 온도 범위에서 정온으로 유지되고 있는 증발기 또는

증발관으로 300mg/min이하로 정량 공급하는 것이 바람직하다. 이때, 오리피스(orifice) 또는 노즐(nozzle)을 포함한 증발기는 물론이고 Ta 증기의 유로(flow path)가 되는 공급관은 Ta 증기의 응축을 방지하기 위해 150℃~200℃의 온도 범위를 항상 유지시킨다. 이와 같은 방법을 통해 저압 화학기상증착 챔버내로 공급된 $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 화학증기를 NH_3 반응 가스(10sccm~500sccm 범위)와 각각 일정량을 정량 공급한 다음에 저압화학기상증착 챔버내에서 100torr이하의 압력하에서 표면 반응을 유도하면 비정질의 TaON 박막을 얻을 수 있다.

<23> 또, 상기 비정질 TaON막은, 하부전극 상부면에 Ta 화학증기를 포함한 반응 가스를 저압 화학기상증착 챔버 상부에 장착된 샤워-헤드(shower-head)를 통해 웨이퍼상에서 수직으로 균일하게 분사시키거나, 또는 상기 챔버 상부 또는 측면부에 장착된 인젝터(injector)를 통해 웨이퍼상에 포물선 또는 카운터 플로우(counter flow) 방식으로 균일하게 분사시켜서 얻는다.

<24> 또, 상기 비정질 TaON의 증착 공정시, 막질을 개선하기 위해서 O_2 가스를 저압화학기상증착 챔버의 온도, 압력 및 Ta 화학증기 주입량에 따라 5~500sccm의 범위내에서 정량 공급하는 것이 바람직하다.

<25> 또한, 상기 제 1 및 제 2TaON막(32a,32b)의 어닐링공정은 NH_3 또는 N_2O 분위기에서 플라즈마처리하거나, UV- O_3 또는 O_3 분위기하에서 저온 어닐링 공정을 실시한다. 이때, 어닐링공정은 전기로 또는 급속 열처리 방식을 이용하여 650~950℃의 온도에서 N_2O , O_2 및 N_2 중에서 어느 한 분위기에서 어닐링하는 것이 바람직하다.

<26> 그 다음, 도 1d에 도시된 바와 같이, 다층의 고유전박막(32) 상부에 도전체로서 도

프트 폴리실리콘을 증착하고 이를 패터닝하여 상부전극(34)을 형성함으로써 본 실시예에 따른 SIS(Silicon-Insulator-Silicon) 구조의 커패시터 제조 공정을 완료한다.

<27> 한편, 상기와 같은 다층 TaON막을 갖는 커패시터 제조 방법에서는, 비정질 제 1TaON막(32a)을 증착하기 전에, 인시튜(in-situ) 내지 엑스시튜(ex-situ)에서 HF, SiF₆, NF₃ 중의 어느 하나의 증기를 이용한 건식 세정공정 또는 HF용액을 이용한 습식 세정 공정으로 하부전극 표면의 자연산화막 및 파티클을 제거한다. 게다가, HF 화합물을 이용한 세정공정을 실시하기 전/후에, NH₄OH 또는 H₂SO₄ 용액의 화합물을 함께 사용하여 계면을 세정하면 HF 처리 전/후에 발생한 이물질을 제거하거나 균일성(uniformity)을 향상시킬 수 있다.

<28> 또, 본 발명은 TaON 증착 및 열공정에서 하부전극(30)인 폴리실리콘막과 제 1비정질 TaON(32a) 사이에 계면산화막이 형성되는 것을 방지하기 위하여 하부전극 표면을 세정하고, TaON 증착시 초기에 1~5분간 NH₃ 분위기에서 인시튜 플라즈마를 이용하여 하부전극(30) 표면을 질화처리하는 것이 바람직하다.

<29> 또한, 본 발명은 하부전극 표면의 불균일한 자연산화막이 형성되는 것을 방지하고 하부전극으로의 누설 전류를 방지하기 위하여 클러스터화되어 있는 TaON 저압-유기금속 화학기상증착 챔버로 저압(예컨대 10torr이하)하에서 웨이퍼를 이송한 다음 인시튜 N₂O 분위기에서 플라즈마를 이용하여 하부전극 표면을 균질하게 산화처리하여 약 10Å이하의 산화막을 형성한다.

<30> 도 2는 본 발명에 따른 2층 TaON박막을 갖는 커패시터 제조 방법에서 TaON 증착한 다음 실시되는 어닐링 공정에 의해 TaON막내에 잔존하는 산소 공공과 탄소화합물이 제거되는 것을 과정을 나타낸 도면이다.

- <31> 도 2를 참조하면, 본 발명은 다층 TaON박막의 고밀도화를 위해서 비정질의 제 1TaON막(32a)을 증착한 기판에 NH_3 또는 N_2O 분위기에서 어닐링을 실시하여 비정질 TaON 증착과정에서 생성된 탄소화합물의 불순물 또는 물(H_2O)과 막내에 존재하는 산소 공공을 제거하면서 결정화를 유도하고, 또 비정질 TaON막내에서 완전히 산화되지 못하고 남아 있는 Ta 화학종의 생성을 억제시킨다. 그러면, TaON 박막(32a)내에 남아 있는 휘발성 탄소화합물(CO , CO_2 , CH_4 , C_2H_4)이 제거되고, 결정화가 유도되어 누설 전류 발생이 방지된다.
- <32> 마찬가지로, 상기 제 1TaON막(32a) 위에 다시 TaON(32b)을 증착하고 다시 전기로에서 5~60분간 또는 급속 열처리 공정을 1분~10분정도 NH_3 또는 N_2O 분위기에서 실시하면 제 2TaON 박막(32b)내에 남아 있는 휘발성 탄소화합물과 물이 제거되고, 막질의 결정화가 유도되어 누설 전류 발생이 방지된다.
- <33> 이에 따라, 비정질 TaON박막들(32a, 32b)은 비정질의 결정화 유도와 탄소 화합물 제거를 위한 어닐링 공정에 의해 유전 막질을 양호하게 하는데, 즉 계면의 마이크로 크랙(micro crack)과 핀 홀(pin hole)과 같은 구조 결함을 보강하고 균질도(homogeneity)를 향상시킬 수 있다.

【발명의 효과】

- <34> 상기한 바와 같이, 본 발명은 적어도 1번 이상의 TaON 증착 및 어닐링공정을 반복해서 고유전 TaON박막($\epsilon=30\sim100$)을 형성하므로써, 종래 NO박막($\epsilon=4\sim5$)보다 유전율이 높고 화학적 결합구조도 종래 고유전 Ta_2O_5 박막($\epsilon=25\sim27$)보다 안정된 유전막을 확보

할 수 있다. 더욱이, 본 발명은 종래 Ta_2O_5 박막을 이용하는 커패시터에 비교해 볼 때 유전막의 불안정한 화학양론비 때문에 생기는 산소 공공과 탄소 불순물로 인해서 발생하는 누설 전류 문제와 Ta_2O_5 증착공정과 후속 저온/고온 열처리 과정에서 하부전극의 폴리실리콘과 계면에서의 불균일한 산화반응에 의한 누설전류 문제를 해결한다.

<35> 다시 말해서, 본 발명은 MIS(Metal-Insulator-Silicon) 구조의 Ta_2O_5 커패시터에 비해 유전막의 등가산화막 두께를 25Å 미만으로 얇게 제어할 수 있기 때문에 256M급 이상의 DRAM 동작에 필요한 고커패시턴스를 얻을 수 있다.

<36> 또, 본 발명은 저압 금속유기화학기상증착 챔버내에서 TaON 증착과 플라즈마 처리가 인시튜로 이루어지기 때문에 종래 Ta_2O_5 유전막 증착 직전에 실시하는 질소분위기에서의 급속열처리 공정과 증착 이후의 저온 및 고온 열처리 공정을 생략할 수 있다.

【특허청구범위】**【청구항 1】**

반도체장치의 커패시터 제조 공정에 있어서,

반도체 기판의 하부 구조물에 하부전극을 형성하는 단계;

상기 하부전극 표면에 비정질 TaON막의 증착과 어닐링공정을 적어도 1회 이상 반복 실시하여 다층의 고유전박막을 형성하는 단계; 및

상기 다층의 고유전박막 상부에 상부전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 다층 TaON박막을 갖는 커패시터 제조방법.

【청구항 2】

제 1항에 있어서, 상기 하부전극 및 상부전극은 도프트 폴리실리콘을 포함하는 것을 특징으로 하는 다층 TaON박막을 갖는 커패시터 제조방법.

【청구항 3】

제 1항에 있어서, 상기 비정질 TaON을 증착하기 전에, 인시튜 내지 엑스시튜에서 HF, SiF₆, NF₃ 중의 어느 하나의 증기를 이용한 건식 세정공정 또는 HF용액을 이용한 습식 세정 공정으로 하부전극 표면의 자연산화막 및 파티클을 제거하는 것을 특징으로 하는 다층 TaON박막을 갖는 커패시터 제조방법.

【청구항 4】

제 3항에 있어서, 상기 HF 화합물을 이용한 세정공정을 실시하기 전/후에, NH_4OH 또는 H_2SO_4 용액의 화합물을 함께 사용하여 계면을 세정하는 것을 특징으로 하는 다층 TaON박막을 갖는 커패시터 제조방법.

【청구항 5】

제 1항에 있어서, 상기 비정질 TaON막의 증착은 600°C 이하의 저압화학기상증착 챔버에서 실시되는 것을 특징으로 하는 다층 TaON박막을 갖는 커패시터 제조방법.

【청구항 6】

제 1항에 있어서, 상기 비정질 TaON의 증착은, Ta 성분의 화학증기를 얻기 위하여 $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 를 유량 조절기를 통해 정량 공급한 후에 $150\sim 200^\circ\text{C}$ 의 온도 범위에서 정온으로 유지되고 있는 증발기를 통해 증발시킨 후 응축을 방지하기 위해 150°C 이상되는 공급관을 따라 저압 화학기상증착 챔버내로 주입하는 것을 특징으로 하는 다층 TaON박막을 갖는 커패시터 제조방법.

【청구항 7】

제 1항에 있어서, 상기 비정질 TaON의 증착 공정은, $300\sim 600^\circ\text{C}$ 의 저압 화학기상증착 챔버내에서 Ta의 화학증기와 반응 가스인 NH_3 가스를 유량조절기를 통해 공급한 다음, 100torr이하의 분위기에 표면 화학반응을 유도하여 비정질 TaON막을 증착하는 것

을 특징으로 하는 다층 TaON박막을 갖는 커패시터 제조방법.

【청구항 8】

제 6항 및 제 7항에 있어서, 상기 비정질 TaON의 증착 공정시, 막질을 개선하기 위해서 O_2 가스를 저압화학기상증착 챔버의 온도, 압력 및 Ta 화학증기 주입량에 따라 5~500sccm의 범위내에서 정량 공급하는 것을 특징으로 하는 다층 TaON박막을 갖는 커패시터 제조방법.

【청구항 9】

제 1항에 있어서, 상기 비정질 TaON의 증착은, Ta 화학증기를 포함한 반응 가스를 저압 화학기상증착 챔버 상부에 장착된 샤워-헤드를 통해 웨이퍼 위에서 수직으로 균일하게 분사시키는 것을 특징으로 하는 다층 TaON박막을 갖는 커패시터 제조방법.

【청구항 10】

제 1항에 있어서, 상기 비정질 TaON의 증착은, Ta 화학증기를 포함한 반응 가스를 저압 화학기상증착 챔버 상부 또는 측면부에 장착된 인젝터를 통해 웨이퍼 위에서 포물선으로 균일하게 분사시키는 것을 특징으로 하는 다층 TaON박막을 갖는 커패시터 제조방법.

【청구항 11】

제 1항에 있어서, 상기 비정질 TaON의 증착은, Ta 화학증기를 포함한 반응 가스를 저압 화학기상증착 챔버 상부에 장착된 인젝터를 통해 웨이퍼 위에서 카운터 플로우 방식으로 균일하게 분사시키는 것을 특징으로 하는 다층 TaON박막을 갖는 커패시터 제조방법.

【청구항 12】

제 1항에 있어서, 상기 어닐링공정은 NH_3 또는 N_2O 분위기에서 플라즈마처리하는 것을 특징으로 하는 다층 TaON박막을 갖는 커패시터 제조방법.

【청구항 13】

제 1항에 있어서, 상기 어닐링공정은 UV- O_3 또는 O_3 분위기하에서 저온 어닐링 공정을 실시하는 것을 특징으로 하는 다층 TaON박막을 갖는 커패시터 제조방법.

【청구항 14】

제 1항에 있어서, 상기 어닐링공정은 전기로 또는 급속 열처리 방식을 이용하여 650~950℃의 온도에서 N_2O , O_2 및 N_2 중에서 어느 한 분위기에서 어닐링하는 것을 특징으로 하는 다층 TaON박막을 갖는 커패시터 제조방법.

【청구항 15】

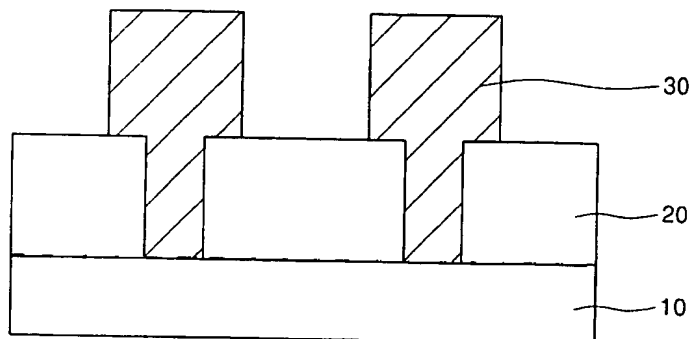
제 1항에 있어서, 상기 비정질 TaON의 증착시, 초기에 1~5분간 NH_3 분위기에서 인시튜 플라즈마를 이용하여 하부 전극 표면을 질화처리하는 것을 특징으로 하는 다층 TaON박막을 갖는 커패시터 제조방법.

【청구항 16】

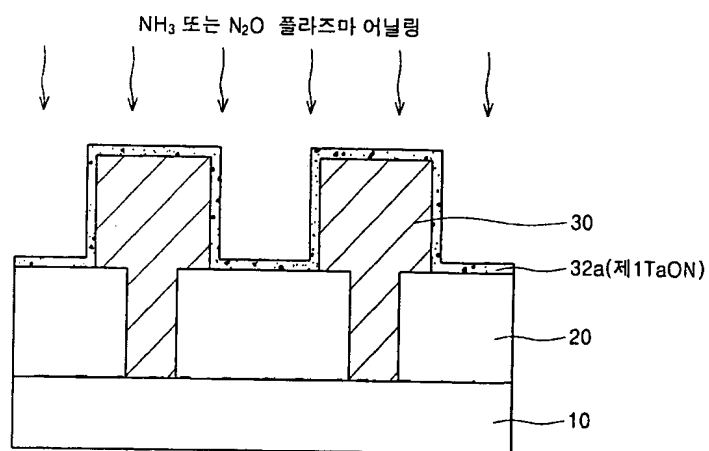
제 1항에 있어서, 상기 비정질 TaON을 증착하기 이전에, 클러스터화되어 있는 TaON 저압-유기금속화학기상증착 챔버로 저압하에서 웨이퍼를 이송한 다음 인시튜 N_2O 분위기에서 플라즈마를 이용하여 하부전극 표면을 균질하게 산화처리하는 것을 특징으로 하는 다층 TaON박막을 갖는 커패시터 제조방법.

【도면】

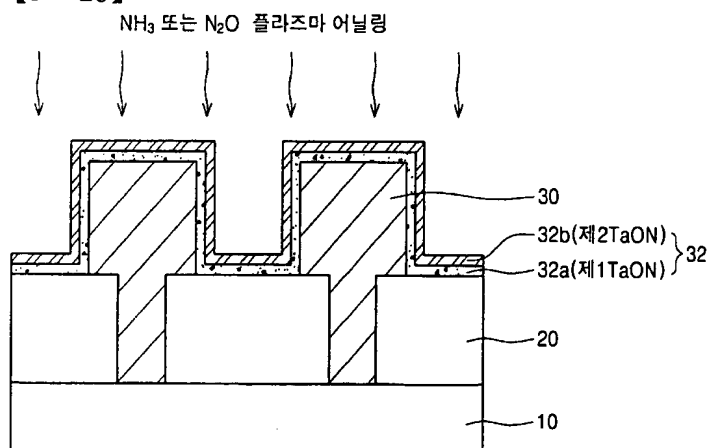
【도 1a】



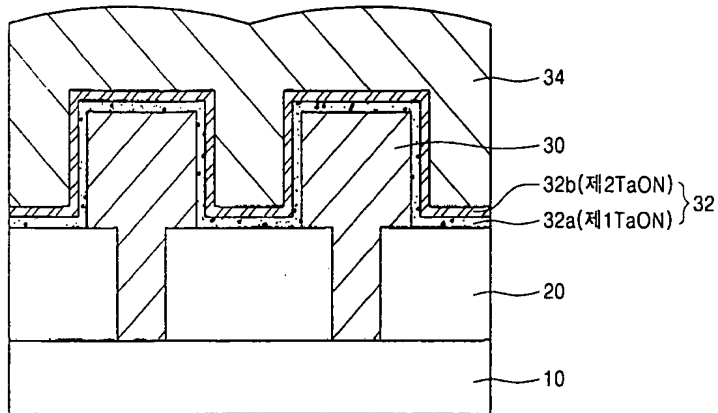
【도 1b】



【도 1c】



【도 1d】



【도 2】

